

## REASON

[1]

The invention(s) in the claim(s) of the subject application are deemed to be easily conceivable by those skilled in the art on the basis of the following publications circulated in or out of Japan prior to the filing of the application, therefore, unpatentable in line with the provision in Art. 29, para. 2 of the Patent Law.

Note (Regarding the cited references etc., please refer to a list thereof)

(Regarding claim 1) Cited Reference 1

From line 8 to line 11 on the upper left-hand column in page 13 of the cited reference 1, a technique is disclosed in which branch history information is written during waiting state for instruction code from instruction fetch stage to decode stage. And, during the waiting state for the instruction code from the instruction fetch stage to the decode stage, the instruction fetch itself is finished, therefore, the control over the memory unit for storing instruction string does not occur.

(Regarding claim 2) Cited Reference 1

During the waiting state for the instruction code from the instruction fetch stage to the decode stage, calculation for the address of instruction which is to be fetched next is not completed, therefore, being during the waiting state means being at the timing at which the instruction fetch request can not be accepted.

(Regarding claim 3) Cited Reference 1 and 2

Update wait matrix 406 disclosed in Fig. 3 of the cited reference 2 corresponds to write reservation of the invention

defined in claim 3, and those skilled in the art would have naturally added the technique disclosed in the cited reference 2 as occasion demands.

(Regarding claim 4) Cited Reference 3

In sections [0048] and [0049] of the cited reference 3, a technique is disclosed in which history information is written regardless of whether or not branch instruction is executed.

From line 11 to line 13, and from line 28 to line 30 on the right-hand column in page 6 of the cited reference 3, a technique is disclosed in which when a call instruction or a return instruction is executed, return address stack (RB103) is operated. And, this disclosure implies, by contraries, that when the call instruction or the return instruction is not executed, the return address stack is not operated.

Therefore, the invention defined in claim 4 is the invention which could have easily been made by those skilled in the art based on the cited reference 3.

(Regarding claim 5) Cited Reference 1 and 4

In cited reference 4, bypass means (401, 402 and 501) as a target of branch prediction is disclosed especially being related to section [0020] and Fig. 3. And, enhancement of prediction accuracy is the object which is always sought by those skilled in the art. Therefore, those skilled in the art could have easily conceived to add the technique disclosed in the cited reference 4 to the invention disclosed in the cited reference 1.

(Regarding claim 6) Cited Reference 1

The invention defined in claim 6 is different from the invention defined in claim 1 only in the point of categories, therefore, the invention in claim 6 could have easily been made by those skilled in the art based on the invention disclosed

in the cited reference 1 for the same reason as in the claim 1.

(Regarding claim 7) Cited Reference 3

The invention defined in claim 7 is different from the invention defined in claim 4 only in the point of categories, therefore, the invention in claim 7 could have easily been made by those skilled in the art based on the invention disclosed in the cited reference 3 for the same reason as in the claim 4.

List of the Cited References etc

1. Japanese Patent Application Publication No. 1-216427
2. Japanese Patent Application Publication No. 6-110684
3. Japanese Patent Application Publication No. 5-120013
4. Japanese Patent Application Publication No. 4-287125

//end//

## 拒絶理由通知書

特許出願の番号	平成11年 特許願 第277816号
起案日	平成17年 6月 6日
特許庁審査官	後藤 彰 4226 5B00
特許出願人代理人	大菅 義之(外 1名) 様
適用条文	第29条第2項、第36条、第37条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

### 理 由

#### [1]

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記 of 刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

(請求項1について) 引用文献1

引用文献1の第13頁左上欄第8行から同欄第11行には、分岐履歴情報の書き込みを命令フェッチステージからデコードステージへの命令コード待ち状態の間に行うことが記載されており、命令フェッチステージからデコードステージへの命令コード待ち状態の間では命令フェッチ自体は終了しているので、命令列を格納するメモリ手段への制御は生じない。

(請求項2について) 引用文献1

命令フェッチステージからデコードステージへの命令コード待ち状態の間では、次にフェッチすべき命令のアドレスの計算が完了していないので、命令フェッチ要求を受け付けられないタイミングである。

(請求項3について) 引用文献1, 2

引用文献2図3記載の更新待ち行列406が請求項3に係る発明の書き込みリザベーションに対応し、当業者ならば、必要に応じて、引用文献2記載の技術を付加する。

(請求項4について) 引用文献3

引用文献3の【0048】、【0049】には、分岐命令の実行の有無に関わらず、履歴情報を書き込むことが記載されている。

引用文献3の第6頁右欄第11行から同欄第13行、同欄第28行から同欄第30行には、コール命令またはリターン命令を実行した場合に、リターンアドレススタック(RB103)を動作させることが記載されており、この記載は、逆に、コール命令またはリターン命令が実行されなかった場合に、リターンアドレススタックを動作させないことを示唆している。

それ故、請求項4に係る発明は、当業者が引用文献3記載の発明に基づいて、容易に発明できたものである。

(請求項5について) 引用文献1, 4

引用文献4には、特に【0020】、図3に関連して、分岐予測の対象とするバイパス手段(401, 402, 501)が記載されており、予測精度を上げることは当業者が常に追求すべき課題であるから、引用文献4記載の技術を引用文献1記載の発明に付加することを当業者は容易に想起する。

(請求項6について) 引用文献1

請求項6に係る発明は、請求項1に係る発明と発明のカテゴリーが相違するのみであるので、請求項1に係る発明と同様の理由によって、引用文献1に記載の発明に基いて、当業者が容易に発明できたものである。

(請求項7について) 引用文献3

請求項7に係る発明は、請求項4に係る発明と発明のカテゴリーが相違するのみであるので、請求項4に係る発明と同様の理由によって、引用文献3に記載の発明に基いて、当業者が容易に発明できたものである。

#### 引 用 文 献 等 一 覧

1. 特開平1-216427号公報
2. 特開平6-110684号公報
3. 特開平5-120013号公報
4. 特開平4-287125号公報

[2]

この出願は、発明の詳細な説明の記載が下記の点で、特許法第36条第4項又は第6項第2号に規定する要件を満たしていない。

## 記

a. 明細書【0003】、【0005】には、分岐履歴情報を書き込んだ後に、分岐先命令の再命令フェッチを行うと記載されているが、なぜ、分岐履歴情報の書き込みと再命令フェッチを同時に行うことができないのかを把握できないので、発明が解決しようとする課題が理解できない。

一般に、ブランチヒストリと命令メモリ（主記憶装置）とは異なる回路であるので、同一の命令アドレスを用いて、同時にアクセスすることができる。

よって、この出願の発明の詳細な説明は、請求項1～3, 5, 6に係る発明について、特許法第36条第4項の経済産業省令で定めるところによる記載がされていない。

b. 請求項1記載の「メモリ手段」は、実施形態の主記憶装置（12）、命令キャッシュ（13）、命令一時バッファ（14）のどれと対応しているのかが不明確である。

主記憶装置には一般に命令列以外にオペランドデータが格納されており、命令キャッシュには一般に命令列以外に命令アドレスが格納されている。

「命令列など」と記載されているが、「など」にはどのようなものが含まれ、何が含まれないかが特定できず、「命令列などを格納するメモリ手段」の意味する技術的範囲が不明確である。

c. 請求項2記載の「命令フェッチ要求を受け付けられないタイミング」の例として、明細書【0043】には、命令キャッシュがいっぱいの場合が記載されている。

しかし、通常の命令キャッシュであれば、命令キャッシュがいっぱいであっても、ミスヒットした場合、命令キャッシュ内の適切な命令列と主記憶装置内の適切な命令列との間で置換が行われ、命令フェッチ要求が受け付けられないことはない。また、命令キャッシュ内の命令列は、読み出した場合でも通常は消去されることはないので、ほとんどの場合、命令キャッシュ内はいっぱいである。

それ故、本願実施形態の命令キャッシュの機能、回路構成について、発明の詳細な説明には、当業者が実施できる程度に明確かつ十分に記載されていない。

したがって、請求項2に記載の「命令フェッチ要求を受け付けられないタイミング」について、発明の詳細な説明には、当業者が実施できる程度に明確かつ十分に記載されていない。

## [3]

この出願は、下記の点で特許法第37条に規定する要件を満たしていない。

## 記

請求項1～3, 5, 6に係る発明の解決しようとする課題は、分岐先命令の再命令フェッチの開始の遅れを防ぐことであり、請求項4, 7に係る発明の解決しようとする課題は、サブルーチンリターン命令の分岐先アドレスの予測失敗をなくすことであって、両者の課題は一致していない。また、主要部も同一ではない。

拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

-----

#### 先行技術文献調査結果の記録

- ・ 調査した分野      I P C 第 7 版   G 0 6 F   9 / 3 8  
                            D B 名
- ・ 先行技術文献

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

特許審査第四部 情報処理      後藤   彰

TEL. 03 (3581) 1101 内線 3545 FAX. 03 (3501) 0737